

Contador asincrónico de cuatro bits

Iván Jaramillo J.*-Luis Alejandro Cortés**

RESUMEN

Este artículo describe el diseño e implementación del contador asincrónico de cuatro bits, realizado a partir de experiencias académicas en la Universidad Nacional de Colombia. Primero se menciona la estructura del contador, al igual que la caracterización de las celdas básicas (con base en las cuales se hizo este proyecto), y se muestran los resultados de la simulación eléctrica. Después, se describen las pruebas efectuadas al chip, y se hace una comparación entre estos datos experimentales y los obtenidos en la simulación.

INTRODUCCIÓN

El Grupo de Microelectrónica de la Universidad Nacional, GMUN, desde hace tres años trabaja dentro del Programa IBERCHIP, un proyecto multinacional patrocinado por la Comunidad Económica Europea. El objetivo fundamental de IBERCHIP es promulgar el conocimiento de las nuevas tecnologías de diseño en el campo de la microelectrónica orientadas hacia la solución de problemas de la industria. Para esto se han creado y dotado centros de diseño en los países latinoamericanos (incluidos Brasil y España) y se ha posibilitado que estos centros puedan fabricar pequeñas series de circuitos integrados, como experimentación docente.

El contador asincrónico de cuatro bits es uno de los circuitos integrados desarrollados por el GMUN dentro del Programa IBERCHIP.

I. DESARROLLO DEL CIRCUITO

Para la realización de este contador se utilizaron cuatro *flip-flops* tipo D, activados por flanco de bajada. El diagrama lógico del *flip-flop* en mención se muestra en la figura 1. Como se observa, se utilizan cinco (5) inversores y cuatro (4) compuertas de transmisión, lo que significa que cada *flip-flop* tiene dieciocho (18) transistores.

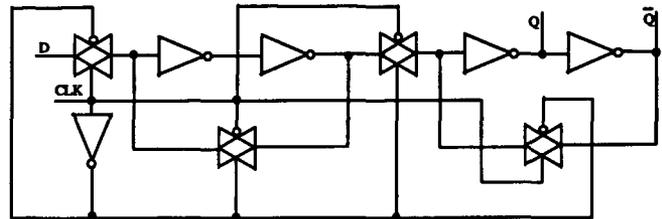


Figura 1. Diagrama lógico del *flip-flop* D activado por flanco de bajada.

En la figura 2 se muestra la forma como están conectados los *flip-flops* D, para formar el contador asincrónico de cuatro (4) bits.

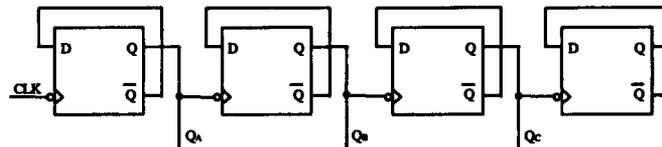


Figura 2. Contador asincrónico de cuatro bits.

Este circuito *full-custom* fue implementado con tecnología CNM de 5 μm (CNM50), utilizando las herramientas *Tedmos* y *Ledit*. Adicionalmente al contador, el circuito integrado tiene las tres compuertas implementadas y optimizadas en el proyecto "Diseño de celdas básicas en VLSI" [1], tal como se puede ver en la figura 3. La densidad de este chip es de 82 transistores.

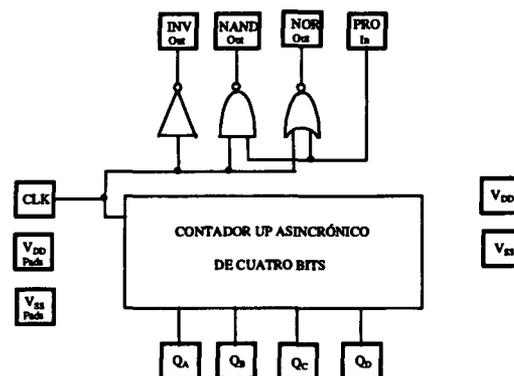


Figura 3. Distribución final de pines.

*Ingeniero Electricista Departamento de Ingeniería Eléctrica, Universidad Nacional de Colombia

**Ingeniero Electricista Departamento de Ing. Eléctrica, Universidad Nacional de Colombia

Las dimensiones del diseño (sin *pad*) es 1 mm x 0,375 mm, es decir, un área de 2,75 mm². Una vez colocados los *pad*, el circuito finalmente quedó de 2,75 mm x 2,25 mm, lo cual implica un área de 6,1875 mm².

A continuación se muestran los *layouts* de las celdas básicas, con base en las cuales se desarrolló este contador, al igual que sus caracterizaciones: *tiempo de bajada*, t_f (intervalo de tiempo en el cual una onda descende del 90% al 10% de su valor de estado estacionario), *tiempo de subida*, t_r (intervalo de tiempo en el cual una onda asciende del 10% al 90% de su valor de estado estacionario), *tiempo de retardo a la bajada*, t_{df} (intervalo de tiempo entre el instante en que la entrada está en el 50%, y el instante en el cual la salida está en el 50% de la transición, con la salida descendiendo) y *tiempo de retardo a la subida*, t_{dr} (intervalo de tiempo entre el instante en el cual la entrada está en el 50% de la transición, y el instante en que la salida está en el 50%, con la salida ascendiendo). Todos los tiempos están dados en ns.

A. CELDA NOT

Dado el comportamiento del transistor MOS como interruptor (que transmite '1' sin degradar el nivel lógico cuando el interruptor es *pMOS*, y transmite '0' si el transistor es *nMOS*), puede concluirse que al implementar una determinada función lógica, debe haber un arreglo de transistores *pMOS* que conecten la salida de esa función con V_{DD} , y un conjunto de transistores *nMOS* que interconecten V_{SS} , de tal manera que el nivel lógico '1' se lleve a la salida a través de los interruptores *pMOS*, y el '0' a través de los *nMOS*.

El caso más sencillo es el de un transistor tipo-*n*, en serie con uno tipo-*p*, y con sus *gates* interconectadas (véase figuras 4 y 5). Si $V_{in} = 0$, el *nMOS* está *off* y el *pMOS* *on*, transmitiendo '1' a V_{out} . Si $V_{in} = 1$, el *pMOS* está *off* y el *nMOS* *on*, transmitiendo '0' a V_{out} . Por tanto, esta configuración corresponde al inversor CMOS.

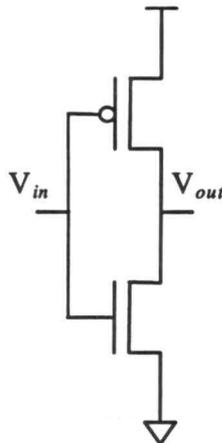


Figura 4. Inversor CMOS.

El *layout* y la simulación Spice se muestran a continuación:

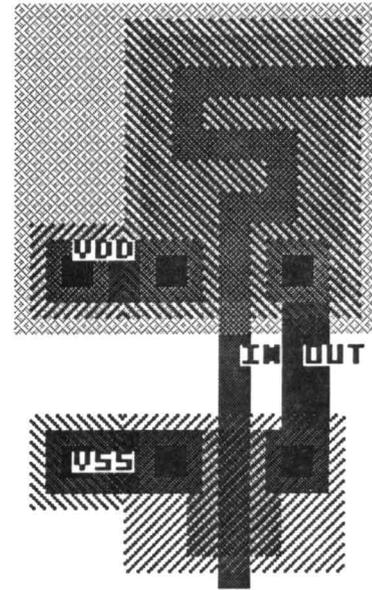
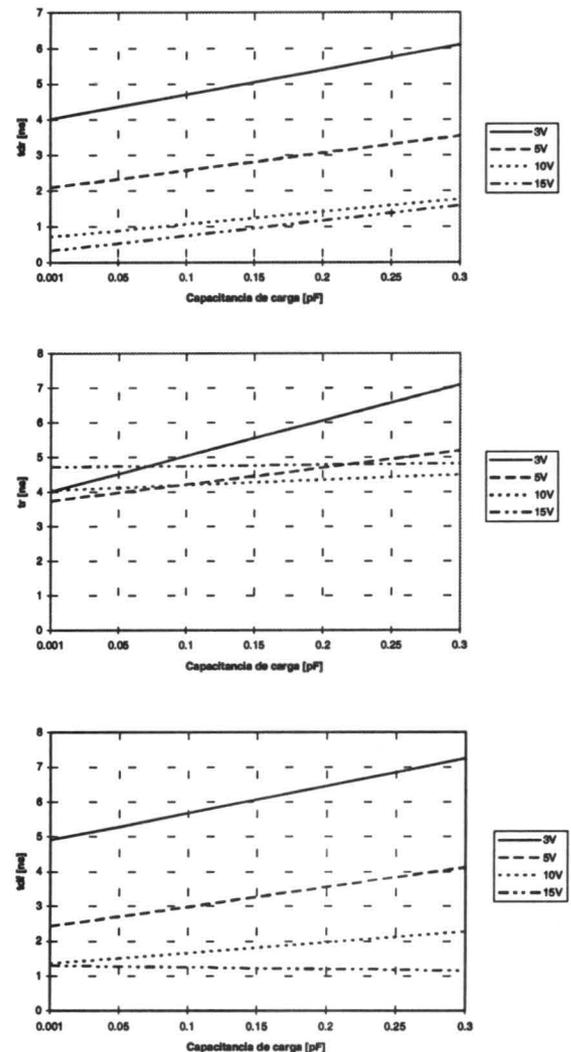


Figura 5. *Layout* inversor CMOS.



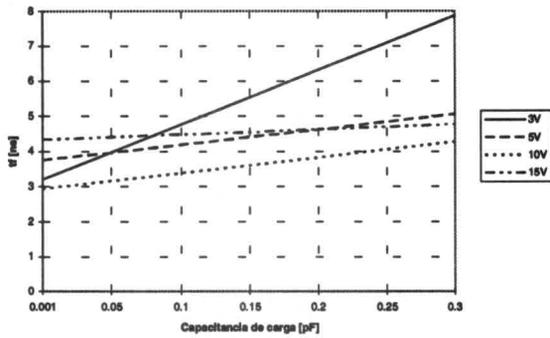


Figura 6. Simulación inversor.

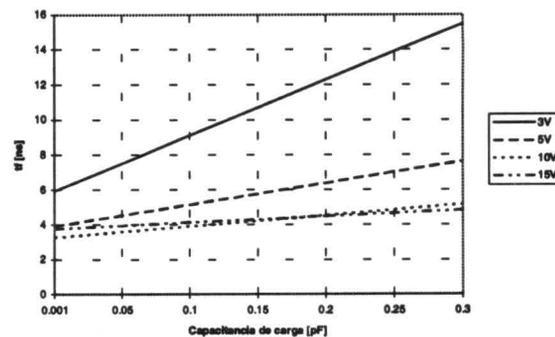
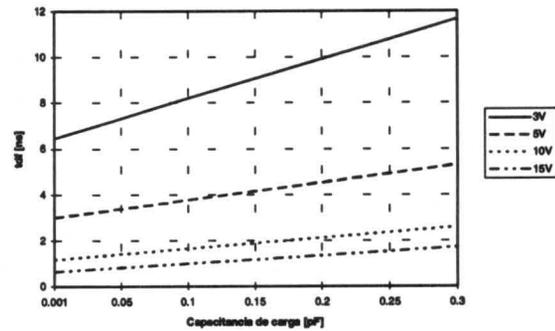
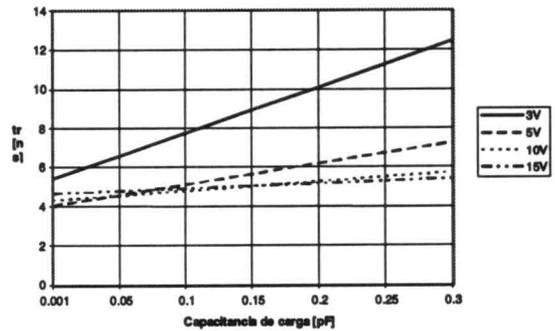
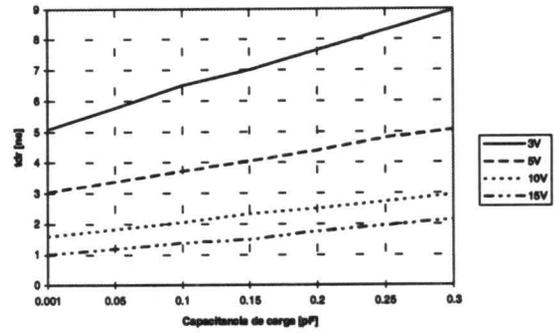


Figura 9. Simulación compuerta NAND de dos entradas.

B. CELDA NAND

Para las combinaciones diferentes de $a=1$ y $b=1$, el arreglo n MOS serie está *off*, mientras el p MOS paralelo está *on* transmitiendo '1' (nivel lógico que transmite un interruptor p MOS sin degradarlo). Entonces, este razonamiento lleva a la construcción de una compuerta NAND de dos entradas (véase figura 7).

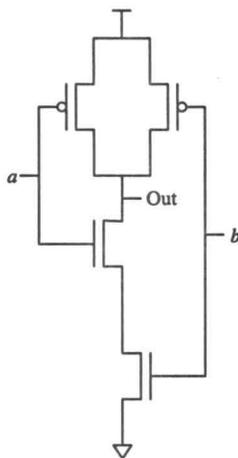


Figura 7. Compuerta NAND CMOS de dos entradas.

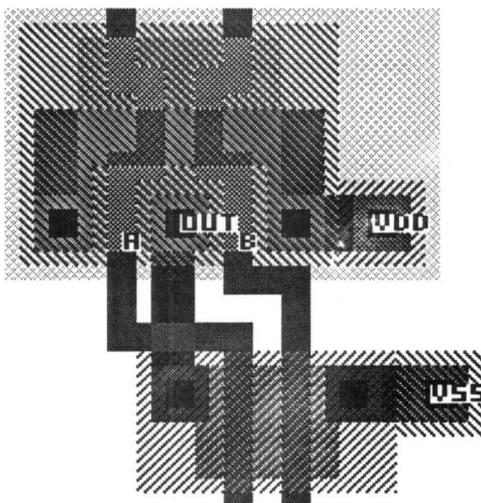


Figura 8. Layout compuerta NAND de dos entradas.

C. CELDA NOR

La compuerta NOR puede elaborarse con base en las estructuras antes mencionadas y con un razonamiento similar al utilizado en el caso de la compuerta NAND. La estructura de una NOR de dos entradas se muestra en la figura 10.

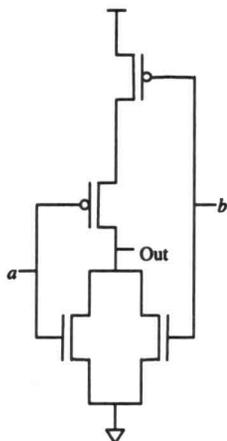


Figura 10. Compuerta NOR CMOS de dos entradas.

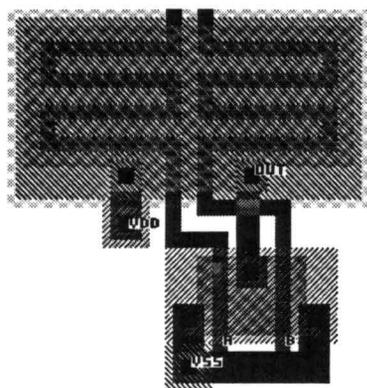


Figura 11. Layout compuerta NOR de dos entradas.

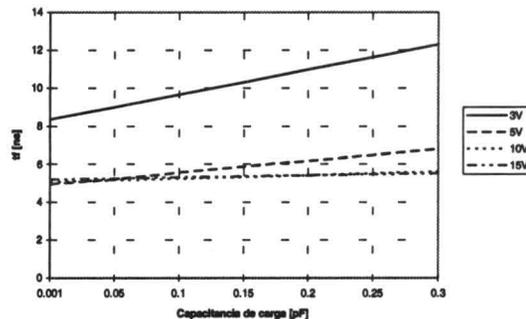
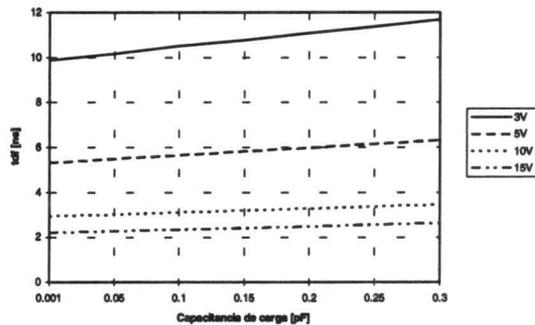


Figura 12. Simulación compuerta NOR de dos entradas.

D. LAYOUT FINAL

Al interconectar las estructuras básicas y después de adicionar los *pad* o puntos de interconexión con el exterior se consigue la estructura final del contador asincrónico.

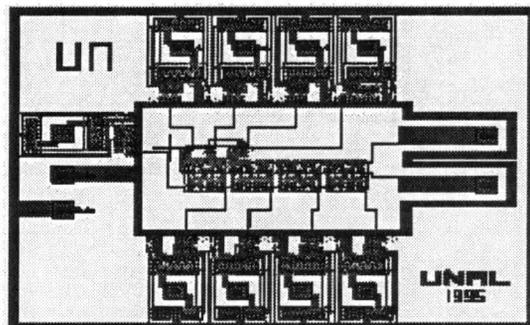


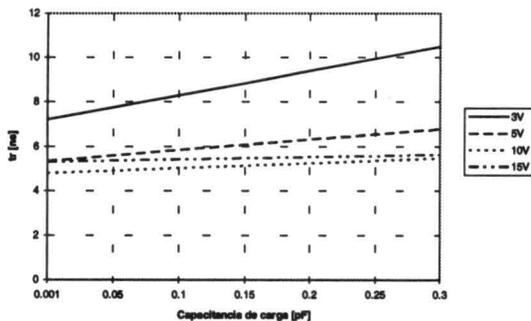
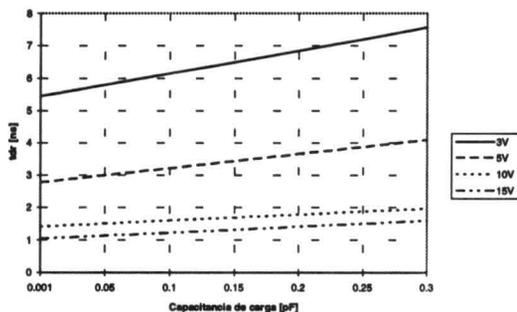
Figura 13. Layout del circuito contador asincrónico.

E. DATOS DEL DISEÑO

Número de pines: 13. Número de CIs comprobados: 5.
 Número de CIs funcionando: 5.
 CAD utilizado: TEDMOS 4.6 y L-EDIT de Tanner Tools.

II. FUNCIÓN DEL CIRCUITO

Contador asincrónico ascendente de cuatro bits: el circuito corresponde a un contador de cuatro bits, asincrónico,



ascendente. Adicionalmente se incluyó en el diseño tres celdas básicas (NOT, NAND y NOR) diseñadas en la Universidad Nacional. Para ello se tiene una entrada PRO (para prueba de las celdas) que permite caracterizar su funcionamiento. El contador tiene como entrada una señal de *clock*, y sus cuatro salidas son Q3-Q0.

III. RESULTADOS DEL TEST

Los chip fueron probados, con resultado satisfactorio, en el analizador lógico HP 16555A. Se hicieron pruebas a frecuencias de 10 MHz, 20 MHz, 25 MHz y 50 MHz. Hasta 25 MHz el contador opera correctamente. Sin embargo, a 50 MHz ya no cumple de manera correcta su función de contador.

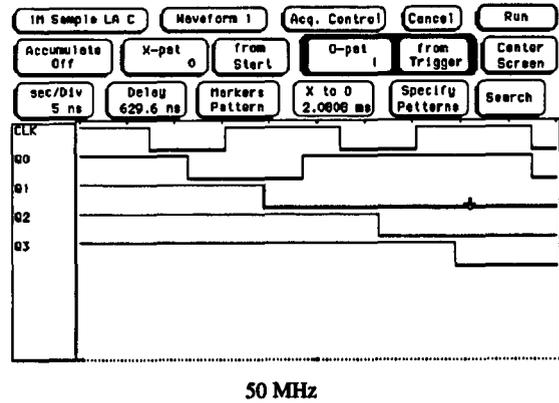
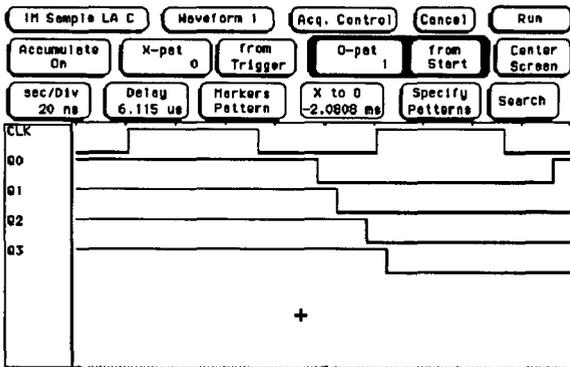


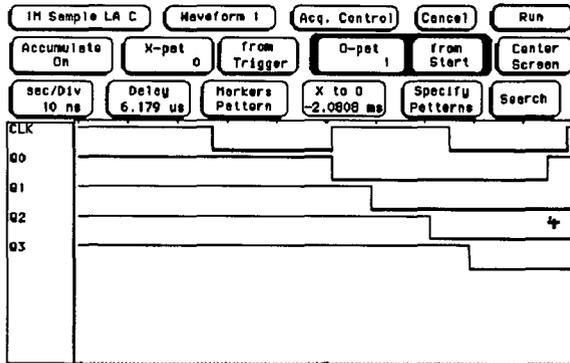
Figura 14. Resultados de la operación del circuito.

IV. DISTRIBUCIÓN DEL CIRCUITO

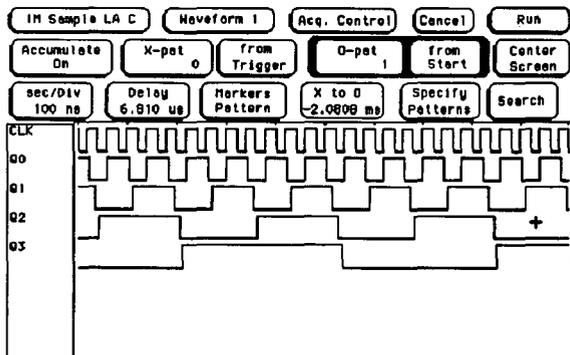
En la figura 15 se observa el área ocupada por el circuito y la signación física de pines para interconexión con el exterior.



10 MHz



20 MHz



25 MHz

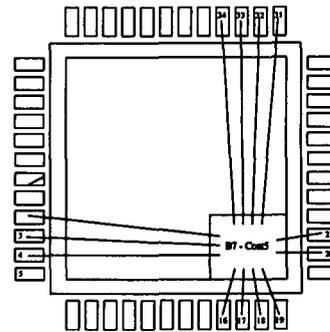


Figura 15. Distribución física de pines de interconexión.

BIBLIOGRAFIA

1. CORTÉS, Luis A. y CAMARGO, Carlos I. *Diseño de celdas básicas en VLSI*. Proyecto de grado, Universidad Nacional de Colombia, Facultad de Ingeniería, 1995.
2. ESHRAGHIAM, Kamran & PUCKNELL, Douglas. *Basic VLSI Design*.
3. GLASSER, Lance A. y DOBBERPUHL, Daniel W. *The Design and Analysis of VLSI Circuits*.
4. MEAD, Carver y COWAY, Lynn. *Introduction to VLSI Systems*.
5. WESTE, Neil H. y ESHRAGHIAM, Kamran. *Principles of CMOS VLSI Design*.